

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-102336

(43)公開日 平成5年(1993)4月23日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/12

25/04

25/18

7352-4M

H 0 1 L 23/ 12

E

7352-4M

N

審査請求 未請求 請求項の数 2(全 4 頁) 最終頁に続く

(21)出願番号

特願平3-260127

(22)出願日

平成3年(1991)10月8日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 小引 通博

伊丹市瑞原4丁目1番地 三菱電機株式会

社光・マイクロ波デバイス研究所内

(72)発明者 中西 真美子

伊丹市瑞原4丁目1番地 三菱電機株式会

社光・マイクロ波デバイス研究所内

(74)代理人 弁理士 高田 守 (外1名)

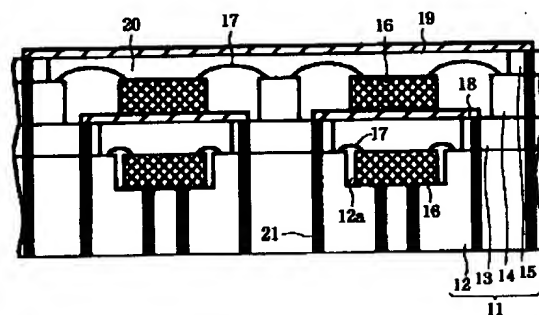
(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 集積度が高く、高性能、高信頼性の半導体装置を得る。

【構成】 複数の絶縁性基板12~15を積層して側面が階段状のキャビティ20内に導電板18を設け、この導電板18上および第1層絶縁性基板12上に半導体チップ16を接着するとともに、多層絶縁性基板にバイアホール21を形成したことを特徴としている。

【効果】 半導体チップの集積度が向上し、半導体チップにバイアホールを介して任意の電位が印加でき、高性能、高信頼性の半導体装置を実現できる。



- | | | |
|-------------|-------------|-----------|
| 11 半導体装置 | 16 第4層絶縁性基板 | 19 キャップ |
| 12 第1層絶縁性基板 | 17 半導体チップ | 20 キャビティ |
| 13 第2層絶縁性基板 | 18 ワイヤ | 21 バイアホール |
| 14 第3層絶縁性基板 | 18 導電板 | |

【特許請求の範囲】

【請求項1】 メタライズされたパターンを有する複数の絶縁性基板を積層して側面が上方に次第に開く階段状のキャビティを構成し、第2層目以上の絶縁性基板のそれぞれにまたがって導電板を配置し、第1層目の絶縁性基板上および前記導電板上のそれぞれに半導体チップを載置するとともに、前記各半導体チップと前記各絶縁性基板のメタライズ部とをワイヤボンディングしたことを特徴とする半導体装置。

【請求項2】 複数の絶縁性基板を積層した多層絶縁性基板のうち所要の絶縁性基板を貫通するバイアホールを形成し、このバイアホールを介して半導体チップのそれぞれに任意の電位を印加する構成としたことを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置に係り、特にそのパッケージ構造に関するものである。

【0002】

【従来の技術】図2は従来のパッケージを用いた半導体装置を示す断面図であり、この図において、1は半導体装置を示し、2は母材となるスタッドで、金属やメタライズされたセラミック等により構成される。3はメタライズパターンが形成されたセラミック、4はシール用セラミック、5は前記スタッド2に接着された半導体チップ、6はこの半導体チップ5とメタライズパターンが形成されたセラミック3とを電気的に接続するワイヤ、7は前記シール用セラミック4上に接着されたキャップである。

【0003】図2において、半導体装置1は、外部回路よりメタライズパターンが形成されたセラミック3およびワイヤ6を介して入力信号およびバイアスが印加され、半導体チップ5に入力される。半導体チップ5で所定の信号変換されたのち、ワイヤ6およびメタライズパターンが形成されたセラミック3を介して外部回路に出力される。動作時の半導体チップ5の発熱は半導体チップ5の裏面よりスタッド2を介して外部に放熱される。また、図2に示すように、半導体チップ5が複数個に互直並列接続されている場合は、全体を気密封止することが一般に行われている。

【0004】

【発明が解決しようとする課題】従来の半導体装置1は以上のように構成されているので、例えば半導体チップ5を4チップ接続する場合には、スタッド2の大きさを4チップ分必要とするため、半導体装置1の面積が大きくなり、その結果、この半導体装置1を使用したシステムも大きくなり、集積化が困難であるとともに、半導体チップ5の裏面に異なる電位を印加してバックゲート効果を抑制するためには、スタッド2の形状や構造が複雑になり、高価なものになってしまうという問題点があっ

た。

【0005】本発明は、上記のような問題点を解消するためになされたもので、半導体装置の集積度を向上させるとともに、半導体装置内に構成される複数の半導体チップにそれぞれ異なる電位を印加できる半導体装置を実現することを目的とする。

【0006】

【課題を解決するための手段】本発明による半導体装置は、メタライズされたパターンを有する複数の絶縁性基板を積層して側面が上方に次第に開く階段状のキャビティ形成し、前記キャビティ内の2層目以上の絶縁性基板にまたがって導電板を設け、この導電板上および所定の絶縁性基板上に半導体チップを接着し、各半導体チップと絶縁性基板のメタライズ部とをワイヤボンディングし、半導体チップの高集積化をはかったものである。

【0007】さらに、複数の絶縁性基板を積層した多層絶縁性基板のうち所要の絶縁性基板を貫通するバイアホールを形成し、このバイアホールを介して任意の電位を各半導体チップに印加する構成としたものである。

【0008】

【作用】本発明においては、半導体チップが層状に配置されることから、高集積化に有効であるとともに、多層絶縁性基板を貫通するバイアホールによって外部より任意の電位を半導体チップに印加することができ、半導体チップのバックゲート効果を抑制することができる。

【0009】

【実施例】以下、本発明の一実施例を図1について説明する。図1において、11は本発明による半導体装置を示し、12は第1層絶縁性基板、13は第2層絶縁性基板、14は第3層絶縁性基板、15は第4層絶縁性基板であり、これら各層絶縁性基板12～15で構成される多層絶縁性基板は、各層間に所定のメタライズパターンが形成されており、例えば低温焼結セラミック等で一体型に形成されている。第1層絶縁性基板12にはその凹部12aに半導体チップ16が載置され、この半導体チップ16の電極と第1層絶縁性基板12上のメタライズパターンとがワイヤ17を介して電気的に接続されている。第2層絶縁性基板13上には導電板18として、例えば金属板が接着され、さらにこの上に半導体チップ16が載置され、この半導体チップ16と第3層絶縁性基板14上のメタライズパターンとがワイヤ17を介して電気的に接続されている。19は内部を気密封止するキャップを示し、これにより階段状に形成された多層絶縁性基板の階段部が対向したキャビティ20が形成されている。21は前記導電板18にバイアスを印加するための多層絶縁性基板を貫通するバイアホールを示し、図1では接地電極として示している。

【0010】本発明による半導体装置11は、外部回路よりメタライズパターンが形成された第1層絶縁性基板12または第3層絶縁性基板14よりワイヤ17を介し

3

て入力信号またはバイアスが印加され、半導体チップ16に入力される。半導体チップ16で所定の信号変換が行われたのち、順次他の半導体チップ16で他の所定の信号変換が行われ、ワイヤ17を介して第1層絶縁性基板12または第3層絶縁性基板14より外部回路に出力される。動作時の半導体チップ16の発熱は半導体チップ16の裏面より第1層絶縁性基板12の載置部に設けられたバイアホール21等により外部に放熱される。また、半導体チップ16は導電板18やキャップ19により気密封止されている。導電板18は、第2層絶縁性基板13および第1層絶縁性基板12を貫通するバイアホール21により第1層絶縁性基板12の裏面メタライズに接続され、接地されている。

【0011】上記のように、キャビティ20の両側面を階段状に形成して、半導体チップ16を層状に載置することにより、高集積化が可能となる。また、各半導体チップ16には、バイアホール21を介して任意のバイアスを印加することができる。

【0012】なお、上記実施例では、半導体チップ16の階層数として2層の場合について説明したが、2層以上であっても同様の効果を得ることができる。また、導電板18は第2層および第1層絶縁性基板13、12を貫通するバイアホール21を介して接地される構造について述べたが、第2層絶縁性基板13のみにバイアホール21を形成し、第1層絶縁性基板12上のメタライズパターンに接続し任意のバイアスを印加することもできる。さらに、半導体チップ16の気密封止は、キャップ19のみにより行う構成としてもよい。

【0013】

4

【発明の効果】以上説明したように、本発明は、複数の絶縁性基板が積層され両側面が階段状に形成されたキャビティ内の第1層絶縁性基板上および第2層目以上の絶縁性基板のそれぞれにまたがって配置された導電板上に半導体チップを載置し、それぞれの半導体チップと絶縁性基板のメタライズ部とをワイヤにより接続する構成としたので、半導体チップの集積度を高くすることができる。

【0014】また、多層絶縁性基板を貫通するバイアホールを形成することにより、半導体チップに任意のバイアスを印加することができ、バックゲート効果を抑制することができ、性能の向上がはかれる。

【図面の簡単な説明】

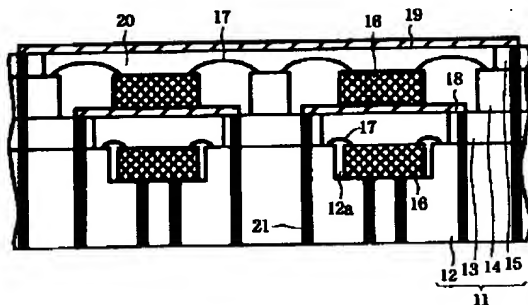
【図1】本発明の一実施例による半導体装置の断面図である。

【図2】従来の半導体装置の断面図である。

【符号の説明】

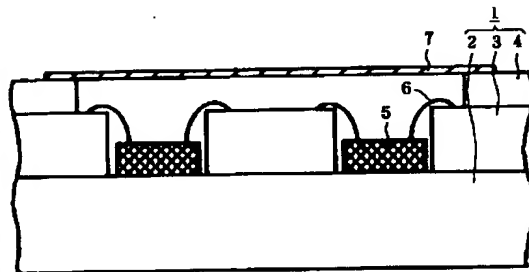
- 11 半導体装置
- 12 第1層絶縁性基板
- 13 第2層絶縁性基板
- 14 第3層絶縁性基板
- 15 第4層絶縁性基板
- 16 半導体チップ
- 17 ワイヤ
- 18 導電板
- 19 キャップ
- 20 キャビティ
- 21 バイアホール

【図1】



- 11 半導体装置
- 12 第1層絶縁性基板
- 13 第2層絶縁性基板
- 14 第3層絶縁性基板
- 15 第4層絶縁性基板
- 16 半導体チップ
- 17 ワイヤ
- 18 導電板
- 19 キャップ
- 20 キャビティ
- 21 バイアホール

【図2】



(4)

特開平5-102336

フロントページの続き

(51)Int. Cl.⁵

識別記号

庁内整理番号
7220-4M

F I
H 0 1 L 25/04

技術表示箇所
Z